

The Revolution Can Now Begin™

概要

設計の複雑さとプロジェクト・スケジュールの管理は、終わることのない課題です。次第に短くなるエンドユーザー向け製品サイクルの短寿命化に対応するため、デザイン・チームは、限られたデザイン・スケジュールの中で、高性能な製品を開発しなければなりません。さらに、0.13 μ mから90nm、それ以下へ進むプロセス微細化のトレンドにおいて、設計ゲート規模は、従来のデザイン・チームが効率的に設計できる規模を越えつつあります。デザイン・チームは高性能なチップを開発するため、先端的なアルゴリズムの採用、既存IPの利用、カスタム論理設計などを組み合わせながら努力していきますが、同じ人員で、より多くの回路機能を、少ない時間で設計しなければなりません・・・そして時間切れを迎えます。

Cynthesizerの導入

フォルテ社の SystemC 動作合成ツール Cynthesizer は、

SystemC による動作記述から自動的に最適な RTL を生成することにより、設計サイクルを大幅に削減します。

Cynthesizer を使用することにより、同じ動作レベルのソース・コードから複数のインプリメンテーション候補を生成・評価でき、最適なアーキテクチャを容易に得ることが可能です。さらに重要なことは、Cynthesizer はマニュアル

でコーディングされた設計よりも、多くの場合、良い結果を生成することができる点です。生成された RTL は、オリジナルのテストベンチを使って簡単に検証でき、従来の RTL 設計に比べて、設計期間を大幅に短縮できます。

Cynthesizer を使用すれば、大規模なチップを短期間に設計および検証可能です。



製品の長所

最高品質の結果を提供

- 人手によるコーディングよりも優れた設計
- タイミング・クロージャの予測が可能
- カスタム化・最適化されたデータパス回路
- シリコンで実証済みの実績

デザイン・サイクルの大幅な短縮

- より少ない時間でより多くの設計が可能
- 検証時間の削減
- IP の再利用が容易に
- 抽象化により複雑さを管理

製品の特長

- 上位レベル・モデルから RTL を自動生成し、RTL 開発時間を削減
- 統合された検証環境により、既存のテストベンチを使った RTL 検証が可能
- データパス・オプティマイザの統合により、高性能、小面積を実現
- 目標を満足した最適な RTL 構造は、バックエンドでのタイミング問題を回避
- 複数の RTL 生成により、面積/性能トレードオフの最適なポイントを探索
- C、C++、SystemC 言語をサポート

Cynthesizer でより良い結果を

Cynthesizer は、設計制約条件に従って設計目標を満足する最適化された RTL を生成します。Cynthesizer を利用すれば、複数のインプリメンテーション候補の生成が容易になります。そのため、ターゲットの半導体テクノロジー・ライブラリによる候補の中から、面積、性能、クロック・スピードなどの項目を満たす回路を容易に選択できます。

Cynthesizer は、優れたコンパイラ技術を用いて回路機能を解析し、データ・フローとコントロール・フローを適切に認識します。この優れた解析機能によって、スケジュール・アルゴリズムは、加算器や乗算器といった演算器の使用を最小化し、その結果、演算器を最大限に活用できます。Cynthesizer は、自動的に最適なステート・マシン (FSM) を生成し、演算器で構成されたデータパス回路を制御します。

Cynthesizer は、クリティカル・パスに非常にセンシティブな FSM のタイミング動作を保障するため、注意深く構築された RTL 構造を生成します。これにより、論理合成や物理合成におけるタイミング・クロージャの予測精度が大幅に向上します。さらに、タイミング・クロージャの改善や論理合成処理時間短縮のためにスラック指定が必要な場合、1つのディレクティブを設定するだけで、スラックを考慮した RTL を生成できます。

自動化による検証時間の短縮

C/C++、SystemC モデルを設計の初期段階で使用すれば、従来の RTL シミュレーションと比べてシミュレーションを非常に高速化できることは疑う余地はありません。SystemC で記述されたシステム・モデルまたはテストベンチと生成された RTL は統合され、どの設計段階でも容易にシステム全体を検証できます。Cynthesizer は検証の対象となる RTL と SystemC ラッパーを自動的に組み合わせ、回路検証において大きな威力を発揮します。

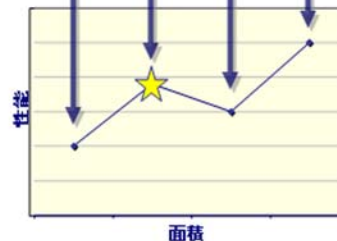
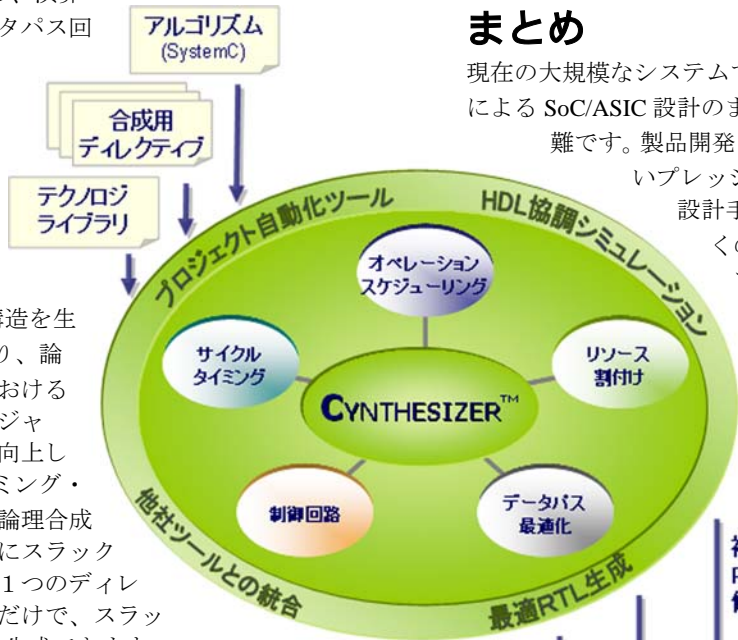
IP の再利用を実現

Cynthesizer の優れた IP 再利用能力により、現在の設計プロジェクトだけでなく、将来の設計プロジェクトにおいても、設計期間を短縮できます。SystemC デザイン・モデルは、抽象度の高いレベルであり、完全にプロセス・テクノロジーとは独立しています。Cynthesizer は、プロセス・ライブラリを入力として取り込み、ターゲットとなるプロセス・テクノロジー、クロック・スピード、設計性能、面積など、ユーザーが設定可能なオプションに基づいて、RTL を素早く自動的に動作合成します。その結果、設計条件に変更があったとしても、既存の設計資産を容易に再利用できます。Cynthesizer は、不完全な仕様、仕様の変更、新機能の追加要求、標準規格の変更に、迅速に対応できます。

まとめ

現在の大規模なシステムでは、従来と同じ RTL 設計手法による SoC/ASIC 設計のままで仕事をやり遂げることは困難です。製品開発の短縮や設計人員に関する厳しいプレッシャーに対応するため、新しい設計手法が必要です。今後、さらに多くの要求をより少ない時間で実現することが必要になるかもしれません。その場合には、SystemC 動作合成ツール、Cynthesizer をご活用ください。そこに SoC/ASIC 設計の未来があります。

Cynthesizer-
The revolution
can now begin.™



複数の
RTL
候補

FORTE
DESIGN SYSTEMS

フォルテ・デザイン・システムズ株式会社
〒222-0033
神奈川県横浜市港北区新横浜 2-5-10
Tel:045-478-2268
Fax:045-472-5517
<http://www.ForteDS.com>

Cynthesizer は Forte Design Systems 社の登録商標です。SystemC およびその他の商標または製品名は当該企業の登録商標である場合があり、その使用はそれらの侵害を意図するものではありません。

© 2004 Forte Design Systems ds-cynth 7/04